LCD 시스템을 위한 Modified LVDS 인터페이스 회로 및 코딩기법

김희철[†] · 은진화[†] · 이상선[††] · 최명렬[†]

요 약

본 논문에서는 LCD 시스템에서 호스트와 LCD 컨트롤러사이의 인터페이스를 위한 새로운 데이터 코딩 기법과 회로를 제안한다. 제안한 회로는 기존의 국제 표준으로 사용되고 있는 LVDS(Low Power Differential Signaling)를 수정한 회로와 데이터 천이 최소화를 위한 추가적인 직렬 데이터 코딩 기법으로 한 클럭에 2비트의 신호를 동시에 전송할 수 있다. 이에 따라 동작 주파수를 절반으로 줄일 수 있으며, differential signaling으로 전자파 장애와 전력소비 문제를 동시에 해결할 수 있다. 제안한 회로의 성능평가를 위하여 기존의 signaling기법과 전력 소비와 데이터 전송 속도 측면에서 비교 분석하였으며, 컴퓨터 시뮬레이션 결과를 통해 향상된 데이터 천이 감소율을 보임을 확인하였다.

A Modified LVDS Interface Circuit and Coding Method for the LCD Driving System

Hee-Chul Kim[†], Jin-Hwa Eun[†], Sang-Sun Lee[††] and Myung-Ryul Choi[†]

ABSTRACT

In this paper, we propose a new signaling method and circuits for interface between the host and LCD (Liquid Crystal Display) controller in the LCD system. The proposed circuits are allowed to transmit two data signals through modified-LVDS circuits and can reduce the operating frequency to a half. Then, we can solve EMI(Electro Megnetic Interference) problem and the power consumption by using differential signaling method. We have compared and analyzed the proposed method and the conventional methods in the power consumption and data rate. In addition, the proposed methods reduce hardware complexity significantly.

1. 서 론

오늘날 정보 산업의 급속한 진보로 멀티미디어 및 전자 시스템은 급속한 변화를 맞이하고 있다. 인간과 기계 장치의 가교적인 역할을 담당하고 있는 디스플레이 장치의 중요성은 날로 증가하고 있다. 최근 경량, 박막, 고화질, 저전력 소모등의 장점을 가진 LCD가 기존의 CRT(Cathode Ray Tube)모니터를 대체할 수 있는 디스플레이 장치로서 각광을 받고 있다. LCD의 표현 가능한 해상도가 증가하면서 그의 동작 주파수, 데이터 폭, 그리고 전송할 데이터 양 또한 증가하게 되었다. 예를 들어, 그래픽 어댑터에서 24비트 트루 칼라 이미지를 LCD 컨트롤러에 전송할 경우, 3개의 8비트 데이터 라인(256 그레이 레벨을 갖는 RGB 데이터), 수직/수평 동기 신호, 클럭 신호 등을 포함하여 적어도 27개의 버스 라인을 필요로 한다. 따라서, 이 버스 라인에서 전력 소비와 전자기 장애의 고려는 무엇보다도 중요하다[1].

이런 문제를 해결하기 위하여 데이터를 직렬화하여 전송시키는 방안이 제안되었고, VESA (Video

본 논문은 산업자원부와 과학기술부에서 시행한 선도기술 개발사업의 지원을 받았습니다.

† 한양대학교 전기·전자·제어계측공학과 ASIC연구실
†† 한양대학교 전자·전기공학부

Electronics Standards Association) FPDI-2 (Flat Panel Display Interface) 표준으로 규정되었다. 데이터 전송을 위해서 현재 LVDS (Low Voltage Differential Signaling)는 TIA/ELA (Telecommunications Industry Association/Electronic Industries Association)과 IEEE(Institue for Electrical and Electronics Engineering)에서 표준화되어 있다. LVDS는 기존의 single-ended schemes들과 달리 1쌍의 differential pair를 통해 데이터를 전송함으로써 common-mode 노이즈 감소와, 전력소비 및 전자파 장애를 줄이는데 크게 기여하였다. 본 논문에서는 기존의 LVDS의 장점을 살리고 데이터 전송시간을 절반으로 줄일 수 있으며 스위칭 변환을 줄이기 위한 새로운 코딩 회로가 포함된 modified LVDS회로를 제안하였다.

2. 기존의 signaling 회로와 데이터 천이 최소화를 위한 알고리즘

대표적인 signaling기법으로는 TMDS (Transition Minimized Differential Signaling)와 LVDS (Low Voltage Differental Signaling)를 들 수 있다. 둘 다 differential signaling 기법을 이용한다는 데는 공통점이 있으나 몇몇 부분에서 다른 점을 보이고 있다. 그리고 데이터 천이 감소를 위한 알고리즘에는 DC balanced 방법[2,3]과 TMA(Transition Minimized Algorithm)[4] 등이 있다.

2.1. TMDS

TMDS는 저전력 동작을 위해 DC balanced 방법[2,3]과 transition minimized coding 기법을 사용하였다. 그림 1은 간략화 된 TMDS의 구조를 보여주고 있다. V_{TERM}와 R_{TERM}에 의해 differential signal 쌍의 voltage swing을 조정할 수 있다. 이 조정 가능한 low voltage differential swing은 다양한 길이의 케이블에 사용될 수 있다. 드라이버의 출력 임피던스는 케이블 미디어의 특성 임피던스와 비교해서 우위에 있다. 따라서 출력 전류는 V_{TERM}에 의해 영향 받지 않는다. TMDS에서의 Voltage Swing은 식 (1)과 같이 조정 될 수 있다.

$$V_{SWING} = V_{TERM} - (Voltage\ set\ by\ R_{TERM}) \quad (1)$$

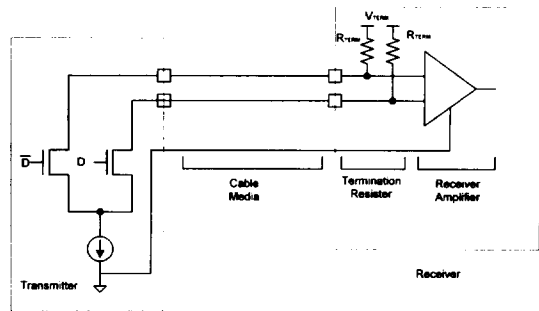



그림 1. TMDS 회로

2.2 LVDS 회로

LVDS는 수백 Mbps에서 수 Gbps에서 데이터 전송을 할 수 있는 low swing과 differential signaling 기술이다. LVDS는 독립 전류원을 이용한 current-mode 드라이버와 low swing을 기술을 이용함으로써 전력소비와 노이즈 제거 면에서 탁월한 성능을 나타낸다. TMDS와는 달리 LVDS는 수신단에서 저항이 하나만이 필요하다. 그림 2는 LVDS의 기본 구조와 동작 원리를 보여준다.

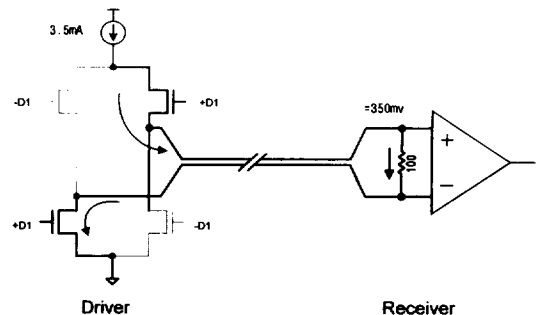



그림 2. 100Ω의 differential impedance media로 연결된 단순화 된 LVDS Driver와 Receiver

LVDS에서의 신호전달 원리는 부하저항 R에 흐르는 전류의 방향에 따라 결정된다. LVDS에서 사용되는 differential data 전송방법은 수신단에서 오직 두 신호의 차이만을 보기 때문에 single-ended 구성보다 common-mode 노이즈에 강하다[5]. 이러한 differential 기술이 노이즈를 쉽게 제거하기 때문에 LVDS는 더 낮은 전압 swing을 이용하여 파워소비를 줄일 수 있으며 최대 5m정도의 길이에서 전송 가능하다. 그림 2의 부하저항 R에서 소비되는 파워는 약 1.2mW(3.5mA×350mV = 1.2mW)이다.

2.3 데이터 천이의 최소화를 위한 기존의 알고리즘

그래픽 어댑터와 LCD 컨트롤러 사이의 인터페이스에서 야기되는 전력 소비와 전자파 장애를 줄이기 위하여 각 버스 라인에서 전송되는 데이터의 스위칭 엑티버티를 줄이기 위한 코딩 알고리즘 및 회로가 필요하다. 대표적인 기존의 방법인 DC balanced 방법은 데이터의 특성을 이상적인 가우시안 분포로 가정했다. 반면 TMA는 일반적인 이미지를 기초로 하였다.

2.3.1 DC balanced 방법

DC balanced 방법은 데이터의 천이 분포에 대한 통계학적 고찰이 결여되어 있는 방법이다. 이 방법은 데이터의 특성이 이상적인 가우시안 분포를 갖는 것으로 가정하고 만들어진 알고리즘이기 때문에 데이터 코딩을 위해서는 부가적인 제어신호가 필요하고, 하드웨어 구조가 복잡하다는 단점을 가지고 있다. 그림 3은 스위칭 엑티버티를 최소화하기 위해서 8비트의 데이터 중에 1의 수가 4개 이하인 경우에는 XOR 연산을 취하고 이상인 경우에는 XNOR 연산을 취하는 부분을 나타내고 있다[2,3].

(a) 데이터 중에서 1의 수가 4개 이하인 경우

(b)데이터 중에서 1의 수가 4개 이상인 경우

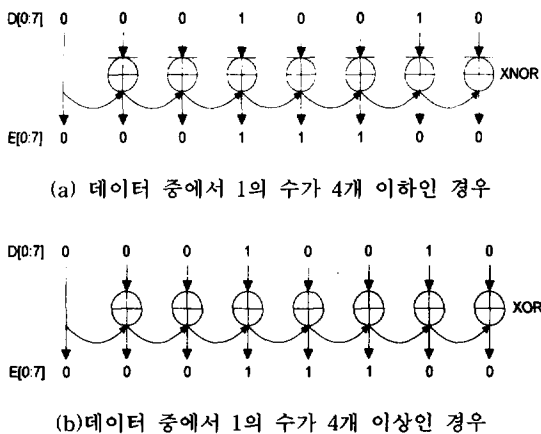



그림 3. DC balanced 방식의 데이터 천이 최소화 블럭의 원리

그림 4는 그림 1에서 얻어진 9비트 데이터를 가지고 전의 데이터와 불균형을 비교하여 반전 여부를 판단하고, 반전할 경우에는 '1'을 추가하고, 하지 않을 경우에는 '0'을 추가 시켜 최종 10비트의 엔코딩 값을 나타내게 된다.

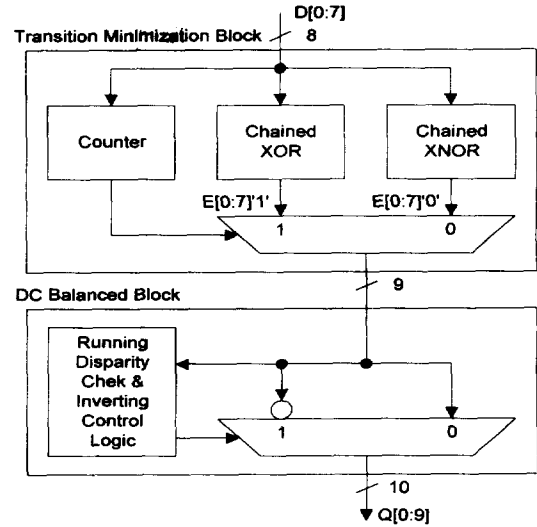



그림 4. DC blanced 회로의 하드웨어 구조

2.3.2 TMA(Transition Minimized Algorithm)

TMA 방법은 데이터의 천이 분포에 대해 통계학적으로 분석한 방법들 중 하나이다. 이 방법은 인접 픽셀들의 차이 값을 전송하는 방법으로 데이터의 스위칭 변환을 줄인다. 8개의 데이터 라인이 들어오면 상위 및 하위 4비트를 나누어 가감산을 행한 후 전송한다. 식 (2)는 TMA를 식으로 표현한 것이다. 그림 5는 TMA 방법의 엔코더와 디코더의 회로를 나타낸 것이다. 그림 5의 (a)와 (b)에서 볼 수 있듯이 가감산을 수행하기 때문에 엔코더에 4비트 감산기 2개와 디코더에 4비트 가산기 2개가 필요하다. 디코더는 입력된 데이터를 바로 레지스터에 저장되어 있는 바로 전 데이터와 더하여 원래 신호를 복원한다[4].

$$PIXEL[t_n] = PIXEL[t_n] - PIXEL[t_{n-1}] \qquad (2)$$

(a) 엔코더　　　　　(b) 디코더

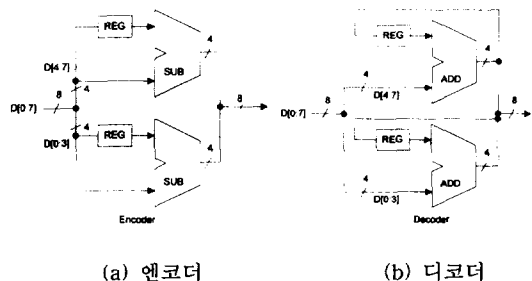



그림 5. TMA 회로의 하드웨어 구조

3. 제안한 Modified LVDS회로

3.1 Modified LVDS(이하 MLVDS)

이미 표준화 되어 있는만큼 TMDS나 LVDS는 그 성능의 우수함과 신뢰성을 인정 받고 있다. 본 논문에서 제안한 MLVDS 회로는 기존의 LVDS회로를 수정하여 동시에 2개의 데이터를 전송할 수 있는 시스템이다. 또한 기존의 데이터 천이 최소화 알고리즘을 그대로 적용할 수 있으나 본 논문에서는 MLVDS의 특징을 최대한 살릴 수 있도록 새로운 데이터 천이 최소화 알고리즘을 제안한다. 이를 위해서 추가적인 회로 구성이 필요하다. 그림 6은 제안한 MLVDS 회로의 간단화된 구조를 보여주고 있다. 제안한 회로에서는 driver 쪽에 같은 크기의 전류원을 두 개를 이용하였고, 컨트롤 신호 즉 데이터 입력단 또한 2개이다. 그리고, receiver에는 3개의 비교기가 필요하고 1개의 OR 게이트가 필요하다. 입력 신호 D1은 전류의 방향을, D2는 전류의 양을 조절하는 신호이다.

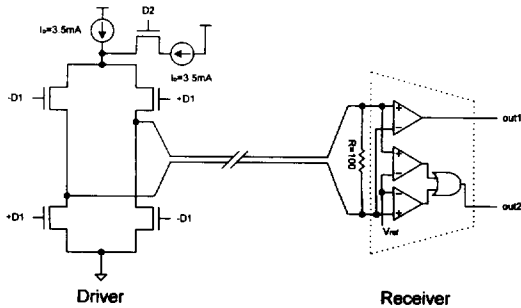



그림 6. MLVDS(modified LVDS)의 구조

표 1은 입력 신호에 따른 전류의 양과 방향을 나타낸다. 즉 입력 신호 D1과 D2가 각각 0과 1이라면 전류 IR의 방향은 b에서 a로 흐르며 그 양은 2ID가 된다. 반대로 1과 0이라면 전류는 a에서 b로 전류의 양은 ID가 된다. 그림 7은 receiver에서 전송 신호에 따른 출력값을 결정하는 원리를 보여준다. (a)는 D1D2가 "00"일 때 부하저항 R에 흐르는 전류는 (-)에서 (+)로 ID의 전류가 흘러 out1값은 '0'이 되고 out2값도 '0'이 된다. (c)는 D1이 '1'로 바뀌었는데 이 때 전류는 (+)에서 (-)로 흐른다. 따라서 out1값은 '1'이 된다. (b)는 D1D2가 "01"일 때 (-)에서 (+)로 2ID의 전류가 흘러 out1은 '0'이고 out2는 '1'이 된다. (d)는 D1이

표 1. MLVDS의 신호전달 원리

D1 D2	I_R	V_a-V_b
0 0	$-I_D$	
0 1	$-2I_D$	$2I_R$*R
1 0	I_D	
1 1	$2I_D$	

(a) D1D2="00"일 때 출력

(b)D1D2="01" 일 때 출력

(c) D1D2="10"일 때 출력

(d)D1D2="11"일 때 출력

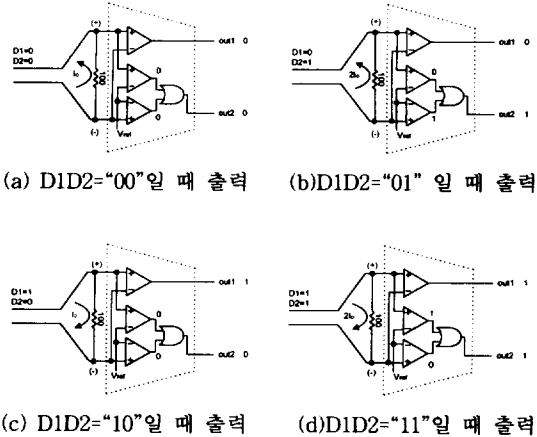



그림 7. Receiver동작 원리

'1'로 바뀌었을 때 전류는 (+)에서 (-)로 흘러 out1이 '1'이 된다. 따라서 out1은 전류의 방향정보를 가진 입력 D1의 대한 출력이 되며 out2는 전류량 정보를 가진 입력 D2의 출력이 된다.

그림 8은 부하저항(100Ω)에서의 voltage swing을 나타낸다. 입력 신호에 따라 voltage swing은 최대 $4I_D$*R이 된다. 즉 D1과 D2가 각각 '0'에서 '1'로 '1'에서 '1'로 변할 때 최대 voltage swing이 발생하게 된다. 이때 가장 전력 소비도 많다.

(a) I_R = I_D (b) I_R = $2I_D$ 일때

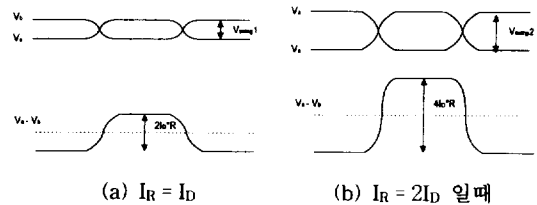



그림 8. 전류에 따른 voltage swing

3.2 제안한 데이터 천이의 최소화를 위한 회로

본 논문에서는 이미지의 특성에 따라 엔코딩과 디

코딩을 달리하여 전송 데이터의 스위칭변환을 최소화 할 수 있는 회로를 제안하였다. 이미 제안했던 TMA방식은 텍스트 이미지 보다는 그림 이미지의 데이터 천이를 감소시키는데 더 우수한 결과를 보여주었다. 따라서 본 논문에서는 텍스트 이미지의 데이터 천이감소를 위한 새로운 코딩 회로를 제안하는 것과 동시에 그림 이미지에는 TMA를 적용할 수 있도록 TMA를 수정하였다.

3.2.1 TMA 수정

TMA 방법은 데이터의 천이 분포에 대해 통계학적으로 분석한 방법들 중 하나이다. TMA를 ML-VDS에 적용하기 위해서 입력 데이터의 통계학적인 특성에 따른 TMA의 특징을 분석할 필요가 있다. 입력데이터가 인접화소간의 차이가 크지 않은 그림이미지인 경우에는 TMA는 인접화소간의 차이가 큰 화소들로 구성되어 있는 텍스트 이미지보다 더 효과적인 스위칭 변환감소율을 보였다. TMA에서 코딩된 데이터를 MLVDS를 통해 전송 시키기 위해서는 전류의 양을 결정하는 신호와 전류의 방향을 결정하는 신호를 구분해야 한다. 그림이미지의 데이터는 8비트중 상위 4비트는 상대적으로 차이가 거의 발생하지 않는 반면에 하위 4비트는 다양한 차이를 보인다. 따라서 전류의 방향을 결정하는 신호로서는 상위 4비트가 적합하며 하위 4비트는 전류의 양을 결정하는데 적합하다.

3.2.1 텍스트 이미지를 위한 새로운 회로

본 논문에서 제안한 알고리즘은 각 픽셀내의 8비트 데이터에서 인접 비트 사이의 천이를 XOR를 이용하여 4비트로 엔코딩 해서 보냄으로 전송량을 반으로 줄일 수 있고, 이를 통해서 스위칭 변환을 줄일 수 있다. 또한 4비트의 데이터로 디코더 부에서 디코딩을 통하여 8비트의 정확한 데이터를 복원하기 위해서 MLVDS를 통해 전송된 신호에 XOR 연산을 취하였다. 식 (4)는 엔코더(encoder)의 알고리즘을 나타낸 것이다. 여기서 D_{IR}은 MLVDS의 전류정보이다.

$$\begin{aligned} D_{out} &= D_{odd} \oplus D_{even} \\ D_{IR} &= D_{even} \end{aligned} \tag{3}$$

제안한 회로의 디코더에서는 엔코더로부터 들어온 전류량의 정보를 가진 홀수 번째 비트를 복원하고, MLVDS의 전송단을 통하여 들어오는 데이터와 전류 정보의 XOR 연산을 취한 값으로 짝수번째 비트를 복원한다. 식 (4)는 디코더의 알고리즘을 나타낸 것이다. 여기서 D_{IR}은 MLVDS의 전류 정보이다.

$$\begin{aligned} D_{even} &= D_{IR} \\ D_{odd} &= D_{IR} \oplus D_{in} \end{aligned} \tag{4}$$

표 2는 엔코더와 디코더의 신호 전달 원리를 나타낸 것이다. 표 2에서 D_{IR}은 MLVDS의 전송단에서 I_D라는 전류가 흐르면 '0'을 나타내고, $2I_D$라는 전류가 흐르면 '1'을 나타낸다. 그림 9는 제안한 엔코더 회로의 하드웨어 구조를 나타낸 것이다.

표 2. 제안한 엔코더와 디코더의 신호 전달 원리

Input		Output	
D_{odd}	D_{even}	D_{IR}	D_{out}
0	0	0	0
0	1	1	1
1	0	0	1
1	1	1	0

(a) 엔코더의 신호 코딩

Input		Output	
D_{IR}	D_{in}	D_{odd}	D_{even}
0	0	0	0
1	1	0	1
0	1	1	0
1	0	1	1

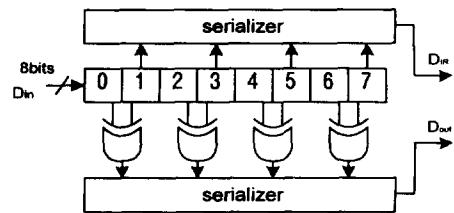
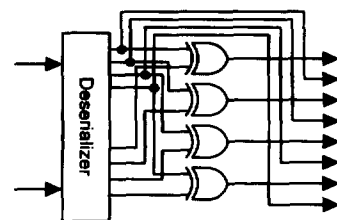
(b) 디코더의 신호 복원

(a) 엔코더

(b) 디코더

그림 9. 텍스트 이미지를 위한 새로운 회로

3.3 제안한 최종 회로

본 논문에서는 이미지에 따라 선택적으로 코딩 알고리즘을 달리 적용하는 회로를 제안하였다. 즉, 그림 이미지의 경우에는 TMA 코딩 알고리즘을 적용하고 텍스트 이미지의 경우에는 새로운 코딩 알고리즘을 선택적으로 적용하기 위해 MUX회로를 추가하였다. 그림 10은 데이터 천이 회로를 갖춘 최종 MLVDS회로를 보여준다. 선택 신호 S에 의해 TMA와 새로운 코딩법을 선택하여 적용한 뒤 modified LVDS회로를 통해 전송된 뒤 디코딩 또한 선택적으로 각각의 디코더를 통하여 원래 신호를 복원한다.

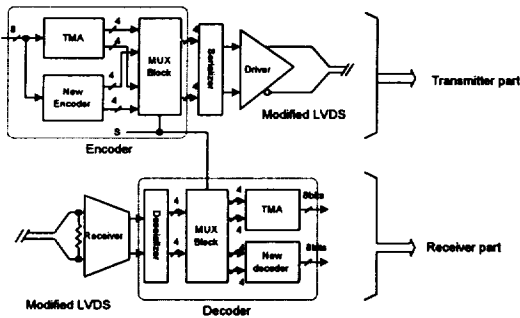



그림 10. 제안한 회로

4. 시뮬레이션 결과

4.1 MLVDS 시뮬레이션 결과

그림 11은 입력 신호 D1과 D2에 따라 MLVDS의 출력 out1과 out2의 값과 디코더를 거친 출력값을 검증하기 위해 HSPICE로 시뮬레이션 한 결과이다. 그림 12의 (a)는 D1의 파형이며 (b)는 D2의 파형이고 (c)는 out1과 out2의 파형이고 (d)는 voltage swing의 파형이다. 그리고 (e)는 디코더를 거쳐 원래의 데이터가 복원된 값의 출력 파형이다. 여기서 전류원은 3.5mA 두개를 사용하였고, 전송라인은 무손실 전송라인이며 특성 임피던스 $Z_0(\sqrt{L/C})$는 100으로 모델링 하였으며, 로드 커패시턴스는 30pF으로 하였다. 또한 텍스트 이미지의 데이터 전송시 사용되는 새로운 엔코더와 디코더를 적용 했을 경우를 가정하였다. 그림 12의 (e)에서 D1(0→1→1→0)과 D2(0→1→0→1)을 수신단에서 디코더에 의해 XOR 연산이 취해진 뒤 원래의 홀수 번째 데이터 "0011"과 짝수 번째 데이터 "0101"이 복원된 결과를 보여준다. (original data : "0 0 0 1 1 0 1 1")

(a) Input1(D1) (b) Input2(D2)

(c) Voltage Difference (V_a-V_b and V_b-V_a) (d) Output(out1 and out2)

(e) Decoder output

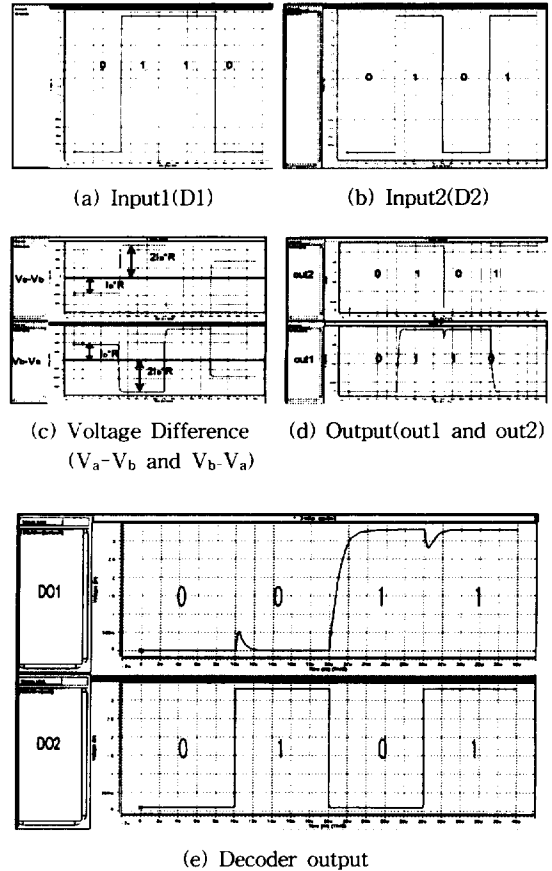



그림 11. 시뮬레이션 결과

4.2 제안한 데이터 천이 최소화 회로의 컴퓨터 시뮬레이션 결과

4.2.1 데이터 천이 최소화 검증

스위칭 변환 줄이기 본 코딩 회로는 그림 13와 같은 컴퓨터의 일반적인 이미지 데이터의 천이 특성을 분석하였다. 그림 13는 일반적인 컴퓨터의 이미지 예제들이다. 그림 (a), (b)는 텍스트 이미지이고, (c), (d)는 그림 이미지인 것을 알 수 있다.

표 3은 천이 최소화 회로의 검증을 위한 시뮬레이션 결과이고 그림 13은 그에 대한 그래프이다. 표 3은 각 샘플 이미지에 대해서 원래 신호를 그대로 전송하는 것과 비교하여 기존의 코딩 기법과 제안한 기법에서 천이의 감소를 정량적으로 나타내었다. 데이터 천

(a) 샘플 1 (b) 샘플 2

(c) 샘플 3 (d) 샘플 4

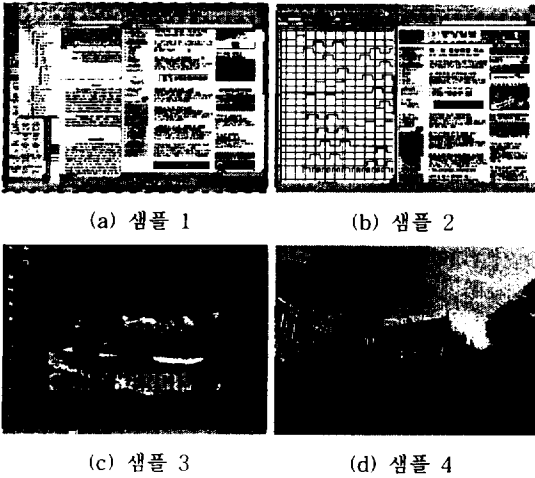



그림 12. 일반적인 컴퓨터의 이미지 예제

표 3. Sample 이미지 4개에 대한 transition수

		텍스트 이미지		그림 이미지	
		샘플 1	샘플 2	샘플 3	샘플 4
Bypass	Total (24bit)	4574368	3510015	4946667	16399926
	%	100	100	100	100
DC balanced	Total (24bit)	6348581	5735565	6693300	12815415
	%	139	163	135	78
Proposed	Total (24bit)	1012135	863542	793018	1612868
	%	22	25	16	10

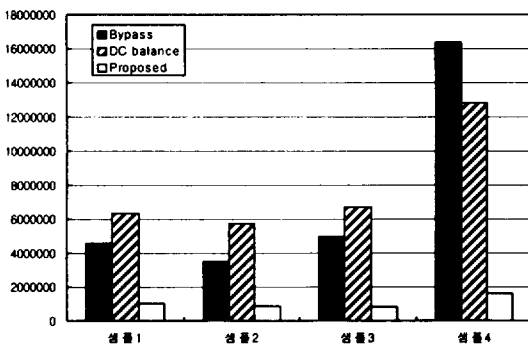



그림 13. 샘플 이미지 4개에 대한 결과 그래프

이는 부하저항에 흐르는 전류의 방향의 변화로 간주하였다. 본 논문에서 제안한 코딩 기법은 천이를 원래의 신호를 그대로 전송하는 것과 비교하여 평균적으로 73% 감소시키는 것으로 나타났다. 또한, 제안한 회로에서는 XOR연산을 통해 인접 픽셀 값이 서로 반복되는 경우가 많은 샘플 1, 2에서 천이를 평균적으로 76%정도로 크게 감소시키는 것으로 나타났다. 텍스트 이미지에서는 최대 76%의 천이 감소율을 보였고 그림 이미지에서는 최대 90%까지의 천이 감소율을 보였다.

4.2.2 제안한 데이터 천이 최소화 회로의 합성 결과

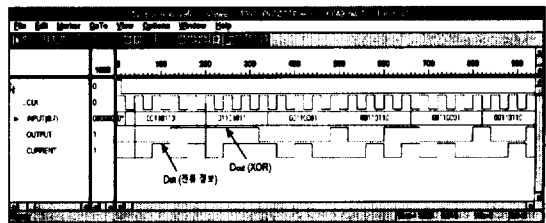
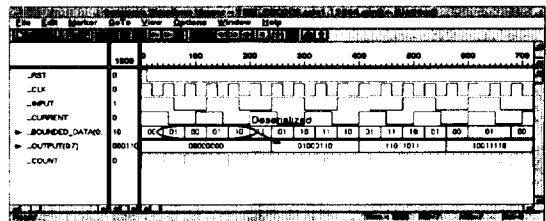
그림 14는 제안한 텍스트 이미지용 엔코더와 디코더를 synopsys VHDL툴을 이용하여 시뮬레이션한 출력결과를 보여주고 있다. 그림 14의 (a)는 원래의 데이터를 엔코더에 의해 엔코딩 후 직렬화된 신호를 보여주며 (b)는 전송된 신호를 원래의 신호로 복원하여 병렬화 된 결과를 보여준다. 그림 15는 인코더(a)와 디코더(b)를 아남(Anam) 0.25μm공정 라이브러리를 이용하여 합성한 결과이다. 표 4는 합성 결과 각각의 방법의 경우 사용된 게이트 수가 표시되어 있다. 제안한 방법의 경우에는 엔코더의 경우 약 231개의 게이트가 사용되었고 디코더의 경우는 180개의 게이트가 사용되었는데 이는 DC balanced 방법보다는 약 46 % 감소된 게이트 수 이다. 따라서 제안한 알고리즘은 DC balanced 방법보다 간단한 하드웨어 구성이 가능함을 알 수 있다.

(a) 엔코더에서의 데이터 엔코딩 결과

(b) 디코더에서의 데이터 복원 결과

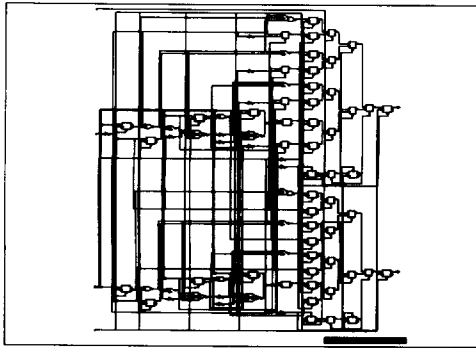
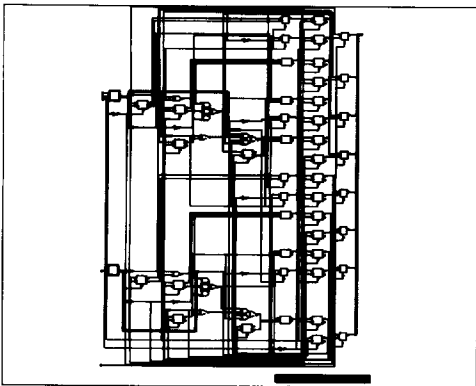
그림 14. 엔코더와 디코더의 출력 파형

(a) 엔코더

(b) 디코더

그림 15. 합성 결과

표 4. 전체 게이트 수

	엔코더의 게이트 수	디코더의 게이트 수	전체 게이트 수
DC balanced	449	315	764
Proposed	231	180	411

※ 게이트 수는 알고리즘에 근거하여 Synapsis VHDL툴을 이용하여 시뮬레이션한 뒤 아남(Anam)0.25μm 공정 라이브러리를 이용하여 합성한 뒤 산출된 게이트 수 이며, 필요한 직렬기와 병렬기 포함한 갯수이다.

5. 결 론

본 논문에서는 LCD 구동 시스템에서 호스트와 LCD 컨트롤러사이의 인터페이스를 위한 새로운 데이터 코딩 기법과 회로를 제안하였다. 제안한 MLVDS 회로는 기존의 LVDS의 장점을 최대한 살려 동작 주파수를 절반으로 줄일 수 있는 인터페이스 회로이다. 제안한 데이터 천이 최소화 회로는 입력 데이터의 천이를 샘플 이미지중 그림 이미지의 경우에는 평균적으로 87 %정도의 감소율을 보였으며, 텍스트 이미지 경우에는 평균적으로 76%정도 감소시키는 효과를 보였다. MLVDS의 driver에서는 두 개의 독립 전류원이 필요하고 receiver에는 기준전압 V_{ref}가 필요하다. 하지만 기존의 LVDS보다 데이터 전송률을 2배 향상 시킴으로써 UXGA(1600×1200)급 이상의 해상도인 QXGA(2048×1536)급을 가진 고속 영상 전송시스템에도 적용 가능하다. 아울러 LCD 구동 시스템의 인터페이스 뿐만 아니라 디지털 인터페이스를 요구하는 다른 평판디스플레이 응용시스템에도 적용 가능하리라 예상된다.

참 고 문 헌

[1] Edgar Sanchez-Sinencio, et al., Low-Voltage/Low-Power Integrated Circuits and Systems, IEEE press, 1999.

[2] K. Lee, et al., "A Jitter-Tolerent 4.5GB/s CMOS Interconnect for Digital Display", IEEE ISSCC'98, pp. 310-311, 1998.

[3] Kyeongho Lee, et al., "High Speed Low EMI Digital Video Interface with Cable Deskewing and Transition Minimizing Coding", Symposium on VLSI Circuit, 25th KISS, pp. 659-661, 1997.

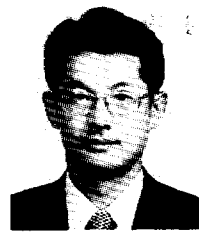
[4] 최명렬 외, "LCD 구동 시스템에서 전력 소비 및 전자파 장애를 줄이기 위한 직렬 시그널링 회로", 한국 반도체 학술대회, pp. 485-486, Jan. 2000.

[5] William j. Dally and John W. Poultion, Digital Systems Engineering, CAMBRIDGE Univ. Press, 1998.

김 희 철

2000년 한양대학교 전자컴퓨터 공학부 학사
2000년 3월~현재 한양대학교 전자, 전기, 제어계측 공학과 석사과정
관심분야 : ASIC, 영상처리

은 진 화

2000년 한양대학교 전자컴퓨터 공학부 학사
2000년 3월~현재 한양대학교 전자, 전기, 제어계측 공학과 석사과정
관심분야 : ASIC, DSP응용

이 상 선

1978년 한양대학교 전자공학과 학사
1983년 한양대학교 전자공학과 석사
1990년 플로리다 대학교 전기공학과 박사
1991년 4월~1991년 11월 생산기술연구원 선임연구원겸 조교수
1991년 11월~1993년 2월 생산기술연구원 산하 전자부품종합기술연구소 선임연구원
1993년 3월~1998년 2월 한양대학교 전파공학과 조교수
1998년 3월~현재 한양대학교 전자전기공학부 부교수
관심분야 : 광소자 설계, RF회로 설계

최 명 렬

1983년 한양대학교 전자공학과 학사
1985년 미시간 주립대학교 컴퓨터 공학과 석사
1991년 미시간 주립대학교 컴퓨터공학과 박사
1991년 3월~10월 생산기술연구원 전자정보실용화센터 조교수
1991년 11월~1992년 8월 생산기술연구원 산하 전자부품종합기술연구소 선임연구원
1992년 9월~현재 한양대학교 전자컴퓨터 공학부 부교수
관심분야 : ASICs, 신경회로망 칩 설계, 스마트카드 응용, μP/DSP응용, Wireless ATM, ITS